



PIC18 : Comparateurs analogiques

Pour les PIC18Fxx20

Introduction

Les PIC 18Fxx20 intègrent un module « comparateurs analogiques » implémentant deux comparateurs et de multiples possibilités de mise en oeuvre.

Une entrée peut être :

- x Une tension sur une des entrées analogiques RA0 à RA5
- x La tension issue du générateur de tension de référence interne (cf fiche)

Les sorties des comparateurs sont disponibles en tant que niveau sur une broche et comme une valeur du registre de contrôle.

Le registre CMCON

CMCON REGISTER								
R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	
C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	
bit 7								bit 0

- bit 7 **C2OUT**: Comparator 2 Output bit
 When **C2INV** = 0:
 1 = C2 VIN+ > C2 VIN-
 0 = C2 VIN+ < C2 VIN-
 When **C2INV** = 1:
 1 = C2 VIN+ < C2 VIN-
 0 = C2 VIN+ > C2 VIN-
- bit 6 **C1OUT**: Comparator 1 Output bit
 When **C1INV** = 0:
 1 = C1 VIN+ > C1 VIN-
 0 = C1 VIN+ < C1 VIN-
 When **C1INV** = 1:
 1 = C1 VIN+ < C1 VIN-
 0 = C1 VIN+ > C1 VIN-
- bit 5 **C2INV**: Comparator 2 Output Inversion bit
 1 = C2 output inverted
 0 = C2 output not inverted
- bit 4 **C1INV**: Comparator 1 Output Inversion bit
 1 = C1 output inverted
 0 = C1 output not inverted
- bit 3 **CIS**: Comparator Input Switch bit
 When **CM2:CM0** = 110:
 1 = C1 VIN- connects to RA3/AN3/VREF+
 C2 VIN- connects to RA2/AN2/VREF-/CVREF
 0 = C1 VIN- connects to RA0/AN0
 C2 VIN- connects to RA1/AN1
- bit 2-0 **CM2:CM0**: Comparator Mode bits



Configurations du module comparateur

Huit modes de fonctionnement sont disponibles. Les bits **CM2:CM0 (CMCON<2:0>)** permettent de sélectionner le mode voulu. Il est nécessaire de configurer correctement le registre TRISA pour un bon fonctionnement de ce module.

<p>Comparators Reset CM2:CM0 = 000</p>	<p>Comparators Off (POR Default Value) CM2:CM0 = 111</p>
<p>Two Independent Comparators CM2:CM0 = 010</p>	<p>Two Independent Comparators with Outputs CM2:CM0 = 011</p>
<p>Two Common Reference Comparators CM2:CM0 = 100</p>	<p>Four Inputs Multiplexed to Two Comparators CM2:CM0 = 110</p>
<p>One Independent Comparator with Output CM2:CM0 = 001</p>	<p>Four Inputs Multiplexed to Two Comparators CM2:CM0 = 110</p>
<p>A = Analog Input, port reads zeros always D = Digital Input CIS (CMCON<3>) is the Comparator Input Switch * Setting the TRISA<5:4> bits will disable the comparator outputs by configuring the pins as inputs.</p>	

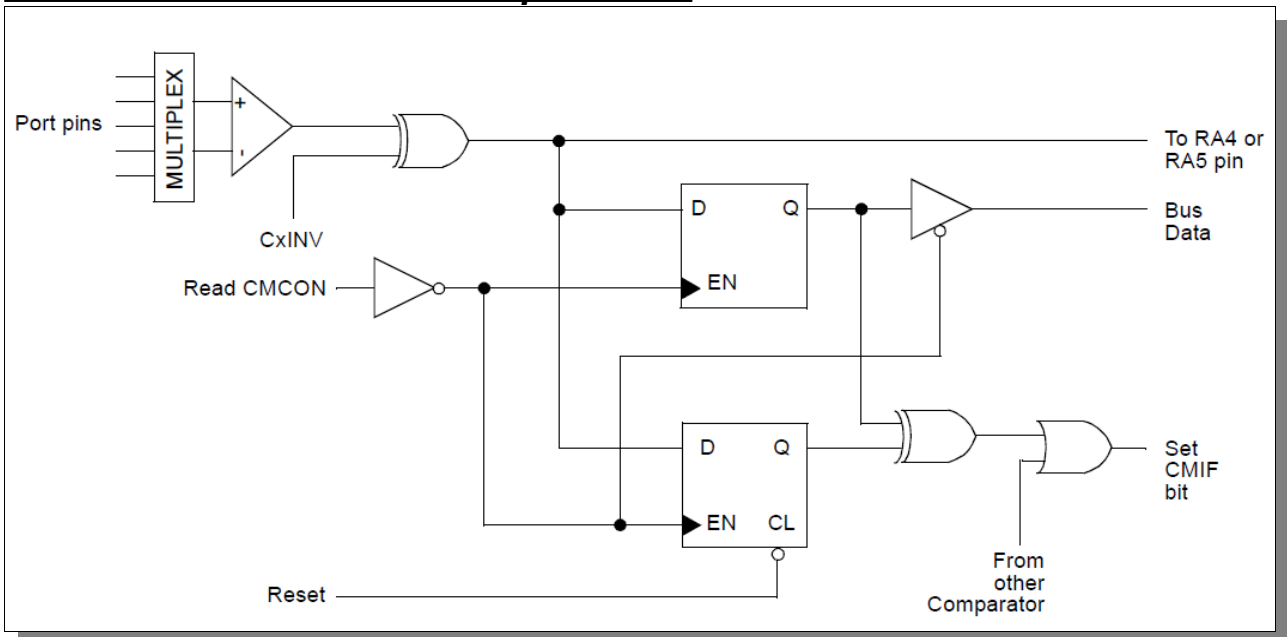


Sorties des comparateurs

Les valeurs des sorties des comparateurs sont disponibles à travers le registre **CMCON**. Les bits correspondants sont en lecture seule. Les sorties peuvent aussi être directement connectées aux lignes **RA4** et **RA5**.

Le comportement des sorties (normal ou inverseur) est configuré grâce aux bits **C1INV** et **C2INV** (**CMCON**).

Schéma bloc du module comparateurs



Interruptions liées aux comparateurs

Le drapeau **CMIF** est positionné à '1' à chaque changement d'état sur l'une des deux sorties. Il est donc nécessaire que le logiciel puisse connaître les états précédents des bits C1OUT et C2OUT.

Le bit d'autorisation est **CMIE**, **CMIP** fixe la priorité de l'interruption. Les interruptions périphériques doivent être activées (PEIE = 1).

Synthèse des registres associés au module

Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset Values on page
CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	51
CVRCON	CVREN	CVROE	CVRR	CVRSS	CVR3	CVR2	CVR1	CVR0	51
INTCON	GIE/GIEH	PEIE/GIEL	TMR0IE	INT0IE	RBIE	TMR0IF	INT0IF	RBIF	52
PIR2	OSCFIF	CMIF	—	EEIF	BCLIF	HLVDIF	TMR3IF	CCP2IF	52
PIE2	OSCFIE	CMIE	—	EEIE	BCLIE	HLVDIE	TMR3IE	CCP2IE	52
IPR2	OSCFIP	CMIP	—	EEIP	BCLIP	HLVDIP	TMR3IP	CCP2IP	52
PORTA	RA7 ⁽¹⁾	RA6 ⁽¹⁾	RA5	RA4	RA3	RA2	RA1	RA0	52
LATA	LATA7 ⁽¹⁾	LATA6 ⁽¹⁾	PORTA Data Latch Register (Read and Write to Data Latch)						52
TRISA	TRISA7 ⁽¹⁾	TRISA6 ⁽¹⁾	PORTA Data Direction Control Register						52

Legend: — = unimplemented, read as '0'. Shaded cells are unused by the comparator module.

Note 1: PORTA<7:6> and their direction and latch bits are individually configured as port pins based on various primary oscillator modes. When disabled, these bits read as '0'.